

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

-1- (JAPIO)

AN - 94-333824

TI - SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PA - (2470730) SEMICONDUCTOR ENERGY LAB CO LTD

IN - TERAMOTO, SATOSHI

PN - 94.12.02 J06333824, JP 06-333824

AP - 93.05.21 93JP-142880, 05-142880

SO - 94.12.02 SECT. , SECTION NO. ; VOL. 94, NO. 12.

IC - H01L-021/20; H01L-021/322; H01L-021/324;
H01L-021/336; H01L-029/784

JC - 42.2 (ELECTRONICS--Solid State Components); 35.1 (NEW
ENERGY SOURCES--Solar Heat)

FKW - R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS);
R096 (ELECTRONIC MATERIALS--Glass Conductors); R097
(ELECTRONIC MATERIALS--Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS--Ion Implantation)

AB - PURPOSE: To reduce the influence of a metallic
element which is a catalyst material for
crystallization remaining in a crystalline silicon
film by performing gettering for a metallic element
(e.g. nickel) in the crystalline silicon film by a
PSG film provided on a substrate.
CONSTITUTION: A PSG film 99 is formed on a substrate
101, a foundation film 102 is then formed, an
amorphous silicon film 104 is further deposited and a
mask 103 is provided. Thereafter, a silicon nickel
film is formed and the silicon nickel film is

selectively introduced into a part of a region 100 on
the silicon film 104. The mask 103 is removed and it
is annealed at a temperature below a crystallization
temperature of an amorphous silicon film under
hydrogen reduction atmosphere to crystallize the
silicon film 104. In the process, gettering is
performed for the nickel made to function as a
catalyst when the silicon film 104 is crystallized
through existence of the PSG film 99. Thereby, it is
possible to improve electrical characteristic and
stability of a semiconductor device wherein a
crystallized silicon film is used.

PTO 99-3672

CY=JP DATE=19941202 KIND=A
PN=06-333824

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD
[Handotai sochi oyobi sono sakuseihoho]

So Teramoto

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. June 1999

Translated by: FLS, Inc.

PUBLICATION COUNTRY	(10):	JP
DOCUMENT NUMBER	(11):	06-333824
DOCUMENT KIND	(12):	A
	(13):	PUBLISHED UNEXAMINED PATENT APPLICATION (Kokai)
PUBLICATION DATE	(43):	06-333824 [WITHOUT GRANT]
PUBLICATION DATE	(45):	[WITH GRANT]
APPLICATION NUMBER	(21):	05-142880
APPLICATION DATE	(22):	19930521
ADDITION TO	(61):	
INTERNATIONAL CLASSIFICATION	(51):	H01L 21/20 21/322 21/324 21/338
DOMESTIC CLASSIFICATION	(52):	
PRIORITY COUNTRY	(33):	
PRIORITY NUMBER	(31):	
PRIORITY DATE	(32):	
INVENTOR	(72):	So Teramoto, et al.
APPLICANT	(71):	Semiconductor Energy Research Center
TITLE	(54):	SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD
FOREIGN TITLE	[54A]:	Handotai sochi oyobi sono sakuseihoho

[Claims]

/160*

[Claim 1]

Semiconductor device and its manufacturing method with the following characteristic:

With a semiconductor device containing a PSG film formed on a substrate, insulation film formed on the said PSG film, crystalline silicon film formed on the insulation film,

the crystalline silicon film contains a metallic element for accelerating the crystallization of the crystalline silicon film.

[Claim 2]

In Claim 1, the metallic element is at least one kind selected from nickel, cobalt, iron, and white gold.

[Claim 3]

Semiconductor manufacturing method comprised of the following processes:

Process of forming a PSG film on a substrate; process of forming an insulation film on the said PSG film as a base film; process of forming an amorphous-like silicon film on the base film; process of inducing at least one material selected from nickel, iron cobalt, and white gold; and process of annealing the said silicon film at a temperature equal to or below the crystallization temperature of a regular amorphous silicon film and of crystallizing the said silicon film in the area where at

*Numbers in the margin indicate pagination in the foreign text.

least one material selected from nickel, iron cobalt, and white gold has been provided.

[Detailed explanation of this invention]

[0001] [Industrial field]

This invention pertains to a method of utilizing a crystalline silicon film crystallized by heat-annealing an amorphous silicon film semiconductor device.

[0002] [Conventional technology]

An active matrix type liquid crystal display device is conventionally formed by placing numerous TFTs (thin film transistor; an insulation gate type electric field effect semiconductor device thin film silicon transistor is normally used) in a matrix format for operating picture elements which are also positioned in a matrix format. Amorphous silicon is conventionally used as TFT for operating picture elements of an active matrix type liquid crystal display device. However, in order to further improve the characteristic, silicon having a crystalline characteristic (from here, the term "crystal silicon" is used) can be used for increasing the effectiveness of the device.

[0003]

A silicon crystalline is conventionally created by providing a laser beam or optical energy to an amorphous silicon prepared using a vapor phase or sputtering technique in order to crystallize silicon or by heat-annealing the same type of amorphous silicon for crystallizing silicon. However, the

former method is not practical, as the laser beam irradiation area is too small, and reproducibility is not satisfactory; whereas the latter method requiring at least 600°C of heating temperature is not suited for a large substrate when a glass substrate (normally Corning 7059 glass is used) is used, as the distortion point of Corning 7059 is 593°C. Also, in this case, as the substrate must be annealed for 24 hours at 600°C, the process is not productive.

[0004]

When an appropriate nickel element is added to an amorphous silicone film before a heat-annealing process, the substrate can be crystallized by heat-annealing for approximately 4 hours at 550°C. However, with this method that uses nickel to accelerate the heat-annealing process using nickel as a catalyst, nickel (metallic element) remains in the crystalline silicone and may reduce the characteristic and reliability of the semiconductor device (e.g., TFT) containing the prepared crystalline silicone.

[0005] [Problems to be solved by this invention]

With a method that forms a crystalline silicone film on a substrate by annealing at approximately 550°C (silicone was crystallized even at 450°C according to our experiments), this invention provides a method that reduces the influence of metallic element used as a catalyst for crystallization, remaining in the crystallized film.

[0006] [Method to solve the problems]

To achieve the purpose as described above, this invention provides the following semiconductor device and its manufacturing method with the following characteristic as first claim:

With a semiconductor device containing a PSG film formed on a substrate, an insulation film formed on the said PSG film, crystal silicone film formed on the insulation film, the crystal silicone film contains a metallic element for accelerating the crystallization of the crystal silicone film.

[0007]

The method described above provides a "gettering" (fixation) effect on a metallic element (e.g., nickel) that is a catalyst added in a crystalline silicone film using a PSG film in order to accelerate the crystallization process. The PSG film is made of phosphorous silicate glass prepared by a conventional method such as a coating or vapor deposit method.

[0008]

As a metallic element used as a catalyst for helping the crystallization of silicone film, at least one material may be selected from nickel, iron, cobalt, and white gold.

[0009]

This invention also provides a semiconductor manufacturing method comprised of the following processes as the third claim:

Process of forming a PSG film on a substrate; process of forming an insulation film on the said PSG film as a base film; process of forming an amorphous-like silicone film on the base

film; process of inducing at least one material selected from nickel, iron cobalt, and white gold; and process of annealing the said silicone film at a temperature equal to or below the crystallization temperature of a regular amorphous silicone film and of crystallizing the said silicone film in the area where at least one material selected from nickel, iron cobalt, and white gold has been provided.

[0010]

/161

The method described in the third claim of this invention is the process of manufacturing the device described in the first claim. As a practical amorphous film preparation method, the conventional plasma CVD, CVD with a reduced pressure and heat, optical CVD, and sputtering method may be used. The said practical amorphous-state film is an amorphous silicone semiconductor film normally used with an amorphous silicone solar battery and amorphous silicone TFT.

[0011]

The crystallization temperature of a regular amorphous silicone film is at least 600°C as described above. That is, the characteristic of this invention is the crystallization temperature that can be below 600°C. It was confirmed that the crystallization process based on this invention could be completed within 4 hours if the temperature was at least 550°C, where the process could be performed at 450°C. Therefore, the annealing temperature of this invention can be specified as 450°C - 550°C (if the problem of a substrate associated with heat-

resistance is not a concern, the temperature may be set higher accordingly).

[0012] [Operation]

Due to the existence of PSG film, the metallic element such as nickel used as a catalyst for silicone film crystallization can be eliminated. Therefore, the prepared semiconductor device utilizing this crystalline silicone film can provide an improved electric characteristic and stability.

[0013] [Operational example]

Operational example 1:

This example combines a P channel type TFT (called "PTFT") having a crystalline silicone on a glass substrate and N channel type TFT (called "NTFT") to complement each other in a circuit. This configuration can be utilized with a peripheral driver circuit of an active type liquid crystal display device or switching element of a picture element (picture element is driven by a complimentary type circuit).

[0014]

Figure 1 shows the cross-sectional diagram of preparation process of this example. First, a PSG film (99) was formed for 1000 Å thick on a substrate (Corning 7059) using a speed coating method and baked at 200°C. As a PSG film, using a coating liquid for forming a silicone oxide film available on the market, the film was prepared in such a way that the density of P became $5 \times 10^{14} - 5 \times 10^{21} \text{ cm}^{-3}$. Also, the thickness is not limited as long as it is within a range of 200 - 2000 Å.

[0015]

Next, a silicone oxide primer film (102) was formed for thickness of 100 - 2000 Å (500 Å in this example). Adding chlorine in this primer film can increase the "gettering effect". Then, a 500 - 1500 Å thick [e.g., 1000 Å thick intrinsic (type I)] amorphous silicone film (104) was deposited, on which a metallic mask or silicone oxide film mask (103) was formed exposing the silicone film (104) from slit-like openings. That is, with the upper surface of device (A) shown in Fig. 1, the silicone film (104) was exposed from the slit-like openings, and the rest of the area was covered by the mask.

[0016]

After the mask (103) was formed, a 5 - 200 Å thick (e.g., 20 Å) nickel silicate film (NiSi_x , $0.4 \leq x \leq 2.5$, e.g., $x = 2.0$) was formed. With this process, nickel silicate film was selectively induced into the area (100) of the silicone film (104).

[0017]

After the mask (103) was removed, the film was crystallized by annealing for 4 hours at 550°C in a reduced hydrogen atmosphere (preferably, the hydrogen partial pressure was 0.1 - 1 pressure). At this time, the silicone film (104) was crystallized in the diagonal direction against the substrate (101) in the area (100) where nickel silicate film had been selectively formed. As for the area excluding the area (100), the crystal was grown in the horizontal direction (parallel to the substrate) from the area (100) as shown with arrow (105).

[0018]

When the process described above was completed, the amorphous silicone film was crystallized, producing a silicone crystal film (104). Then, the elements were separated by patterning the crystalline silicone film (10). Next, a 1000 Å thick silicone oxide film (106) was deposited as a gate insulation film by a sputtering method using silicone oxide as a target [sputtering substrate temperature: 200 - 400°C (e.g., 350°C); sputtering atmosphere: Argon/oxygen = 0 - 0.5 (e.g., 0.1 or below)]. Then, a 6000 - 8000 Å thick (e.g., 6000 Å) aluminum (including 0.1 - 2% silicone) was deposited using a sputtering method.

[0019]

Next, gate electrodes (107, 109) were formed by patterning the silicone film, and oxide layers (108, 110) were formed over the surface by oxidizing the areas with an aluminum positive electrode. This oxidization process was performed in an ethylene glycol solution containing 1 - 5% of tartaric acid. The thickness of the obtained oxide layers (108, 110) was 2000 Å. Also, since the thickness of these oxide substances (108, 110) becomes the offset gate area during the ion-doping process performed later, the length of the offset gate area can be determined by the positive-electrode oxidization process.

[0020]

Next, during an ion-doping method, an impure substance (phosphorous and boron) was injected using the gate electrode

(107) and the oxide layer (108) around the electrode, and also, the gate electrode (109) and the oxide layer (110) around the electrode (109) as masks. As a doping gas, phosphine (PH_3) and diborane (B_2H_5) were used. The acceleration voltage was set to 60 - 90 kV (e.g., 80 kV) for the former case, and 40 - 80 kV /162 (e.g., 65 kV) for the latter case. The dosage was $1 \times 10^{15} - 8 \times 10^{15} \text{ cm}^{-2}$ (e.g., phosphorous = $2 \times 10^{15} \text{ cm}^{-2}$, boron = $5 \times 10^{15} \text{ cm}^{-2}$). At the time of doping, by covering one area with a photo-resist, each element was selectively doped at specific areas. As a result, N-type impure areas (114, 116) and P-type impure areas (111, 113) were formed, thereby creating P-channel type TFT (PTFT) area and N-channel type TFT (NTFT) area.

[0021]

The area was annealed by irradiating a laser beam. As a laser beam, although a KrF excimer laser (frequency = 248 nm, pulse width = 20 n sec) was used, other types of lasers may be used. As the irradiation condition of this laser beam, the energy density was 200 - 400 mJ/cm² (e.g., 250 mJ/cm²), and 2 - 10 shots (e.g., 2 shots) were irradiated per site. Heating the substrate to 200 - 450°C during irradiation can increase the effectiveness of this process. During this laser-annealing process, as the nickel had been dispersed in the previously crystallized area, re-crystallization could be easily performed. As a result, the impure substance areas (114, 116) where an impure substance for providing N was doped and the impure substance areas (111, 113) where an impure substance for

providing P was doped could be easily activated.

[0022]

Next, a 6000 Å thick silicone oxide film (118) was formed as a between-layer insulation substance using a plasma CVD method, to which contact holes were formed, creating TFT electrodes/wiring (117, 120, 119) using a multi-layer film consisting of metallic materials (e.g., titanium oxide and aluminum). Lastly, the surface was annealed for 30 minutes at 350°C in an air-pressure hydrogen atmosphere, thereby completing the production of semiconductor circuit (see Part D of Fig. 1). This circuit is a complementary type having a gate electrode input and electrode output (120).

[0023]

Although the circuit described above was CMOS-structured, two independent TFT can be simultaneously created by creating two TFTs at the same time and cutting them at the center.

[0024]

Figure 2 shows the diagram of the upper surface of device (D) in Fig. 1. The Ni-added area in Fig. 2 is the area (100) in Part A of Fig. 1. The gate electrodes correspond to parts (107 and 109), whereas drain/source areas correspond to areas (113, 114). In Fig. 2, a gate insulation film and channel-formation area are formed under the gate electrode. As shown Fig. 2, by elongating the Ni-added area (extended in up/down directions in the figure), multiple TFTs can be simultaneously formed.

[0025]

In this example, to induce nickel, a nickel thin film (the film is too thin to be observed as a film) was formed, where the crystal was grown. However, prior to forming an amorphous silicone film (104), a nickel silicate film may be selectively formed. That is, the crystal growth may be performed from the upper or lower surface of the amorphous silicone film. Also, an amorphous film may be pre-produced, and nickel ions may be selectively injected to an amorphous silicone film (104) using an ion doping method. This method can control the density of nickel element.

[0026]

In this example, when the nickel density in the crystalline silicone was measured using an SIMS (secondary ion quantity analysis method), the result was $10^{17} - 10^{18} \text{ cm}^3$.

[0027] Operational example 2:

This example places an N-channel type TFT to each picture element as a switching element of an active type liquid crystal display device. Although following explains one picture element, numerous other picture elements (normally several 100,000) are structured in the same manner.

[0028]

Figure 3 shows the diagram of simplified production process. A Corning 7059 glass substrate (thickness = 1.1 mm, 300 mm x 400 mm) was used as a transparent insulation substrate (301). First, a PSG film (302) was formed for 200 - 2000 Å thick (in this

example, 1000 Å) using a spin coating method and baked at 200°C for 30 minutes in the same manner as described in Operational example 1. Then, a primer film (303) (silicone oxide) was sputtered for 500 Å.

[0029]

Then, an amorphous silicone film (304) [300 - 1500 Å thick; in this example, 1000 Å thick intrinsic (type I)] was formed using an LPCVD or plasma CVD method, and a nickel silicate film was formed using a sputtering method (5 - 200 Å thick; 20 Å in this example; NiSi_x , $0.4 \leq x \leq 2.5$, e.g., $x = 2.0$). That is, in this example, as shown in Part B of Fig. 3, after an amorphous silicone film (304) was formed, nickel was added on the surface as a nickel silicate film.

[0030]

Then, the surface was dehydrogenated for 1 hour at 400°C and heat-annealed to crystalize the surface. This annealing process was performed for 4 hours at 550°C in a reduced hydrogen atmosphere (preferably, the hydrogen partial pressure was 0.1 - 1 pressure). At this time, since a nickel silicate film was formed on the amorphous silicone film (304), crystallization occurs from the nickel silicate film onto the substrate (301) in the vertical direction. Then, a crystalline silicone film grown vertically from the substrate (301) could be obtained.

[0031]

/163

Semiconductor area consisting of this crystalline silicone (area indicated as (304)) was patterned (separation between

elements) to form an island-like semiconductor area (TFT active layer). Furthermore, using a tetra ethoxy silane (TEOS) as a raw material, the gate insulation film of the silicone oxide (thickness = 700 - 1200 Å; typically 1000 Å) 305 was formed by a plasma CVD method in an oxygen atmosphere. The substrate temperature was adjusted to 400°C or below, preferably 200 - 350°C, in order to prevent contraction and warping of a glass. However, a large amount of hydrocarbon groups were included in the oxide film when the substrate temperature was set within this range, producing many re-bided centers. For example, the boundary surface level density was 10^{12} cm^{-2} or higher and could not satisfy the condition of a gate insulation film.

[0032]

While the crystallization of the crystalline silicone film (304) was improved by irradiating a KrF laser beam, the re-bided centers (trap center) of the gate oxide film (305) were reduced to improve the characteristic of the gate oxide film (305). Also, this laser irradiation is preferably performed at 10 torr or less. This is because, carbon atoms in the oxide film can be more easily separated in a reduced pressure. At this time, the energy density of the laser beam was set to 250 - 300 mJ/cm², and the shot count was set to 10 times. The substrate temperature was set to 200 - 400°C, preferably 300°C. As a result, the crystalline characteristic of silicone film (204) was improved, and the boundary surface level density of the gate oxide film was reduced to 10^{11} cm^{-2} or less.

[0033]

Next, an aluminum gate electrode (306) was formed and soaked in an electrolysis solution with the substrate. Using this device as positive electrode, electricity was transmitted to form a 2000 Å thick positive electrode oxide layer (314) over a gate electrode aluminum wiring surface. Part C in Fig. 3 shows the diagram of the device when the process described above is completed. Also, after the completion of positive-electrode oxidation process, a negative voltage (e.g., -100 - -200 V) may be impressed for 0.1 - 5 hours. In this case, the substrate temperature should be 100 - 250°C, preferably 150°C. This process can attract the movable ions existing in the silicone oxide or on the boundary surface of silicone oxide and silicone to the gate electrode (Al).

[0034]

Then, the source/drain (308, 309) for TFT were formed by injecting HISSO in a self-adjusting manner into the silicone film (305) as an N-type impure substance using a doping method. As shown in Part C of Fig. 2, a KrF laser is irradiated to these areas in order to improve the crystallization of the silicone film whose crystallization was deteriorated due to the ion-doping process. The laser beam energy density for this process was set to 250 - 300 mJ/cm². This laser irradiation process could improve the sheet resistance of TFT source/drain to 300 - 800 Ω/cm².

[0035]

Then, an insulation substance (310) was formed between two layers using polyimide, and a picture element electrode (313) was created using ITO. After creating contact holes, electrodes (311, 312) were prepared at the TFT source/drain areas using chrome/aluminum multi-layered films, and one of electrodes (312) was connected to ITO 31 which was the picture element electrode. The chrome/aluminum multi-layered film has a lower layer consisting of a 20 - 2000 Å thick (1000 Å in this example) deposited chrome and upper layer consisting of a 1000 - 20000 Å thick (5000 Å in this example) deposited aluminum. These layers are preferably continuously formed using a sputtering method. Lastly, the surfaces were annealed for 2 hours at 200 - 300°C in hydrogen to complete the hydrogenization of silicone, concluding the TFT production process. The simultaneously prepared numerous TFTs were positioned to form a matrix in order to complete one side of the substrate of the display part of an active matrix type liquid crystal display device. The nickel density in the crystal silicone film in this example was also $10^{17} - 10^{-8} \text{ cm}^{-3}$.

[0036]

By performing the methods described in Operational example 1 or 2, the nickel element existing in the crystalline silicone can be electrically fixed (gettering). As a result, the negative effect caused by the nickel element can be prevented when the device is operated.

[0037]

Also, in the examples described above, a PSG film (phosphorous silicate glass) was used as a gettering material. However, in addition to this film, BSG film (boron silicate glass) or BPSG film may be used. Also, a halogen element (e.g., chlorine) may be added to the film to improve the gettering effect. To form a film, a spin coating method used to assure the flatness in the examples may be replaced with a vapor-phase method.

[0038] [Effectiveness of this invention]

With the method based on this invention, after a PSG film is formed on a substrate, a silicone oxide film is formed as a base film, and a crystalline silicone layer is formed by crystallizing the surface using nickel at a temperature lower than the conventionally allowed temperature. As a result, the existence of nickel negatively affecting the characteristic of the semiconductor device using this crystalline silicone can be prevented.

[Simple explanation of the figures]

[Figure 1] shows the production process performed in the operational examples.

[Figure 2] shows the configuration of the device used in the operational examples.

[Figure 3] shows the production process performed in the operational examples.

[Explanation of Keys]

99... PSG film; 101... Glass substrate; 102... PSG film;
103... Mask; 104... Silicone film; 105... Crystal growth
direction; 106... Gate insulation film; 107... Gate electrode;
108... Positive electrode oxide layer; 109... Gate electrode;
110... Positive electrode oxide layer; 111... Source/drain area;
112... Channel formation area; 113... Drain/source area; 114...
Source/drain area; 115... Channel formation area; 116...
Drain/source area; 117... Electrode; 118... Between-layer
insulation; 120... Electrode; 119... Electrode; 301... Glass
electrode; 302... PSG film; 303... Base film (silicone oxide
film); 304... Silicone film; 305... Gate insulation film; 306...
Gate electrode; 307... Source/drain area; 308... Channel
formation area; 309... Drain/source area; 310... Between-layer
insulation; 311... Electrode; 312... Electrode; 313... ITO
(Picture element electrode); 314... Positive electrode oxide
layer

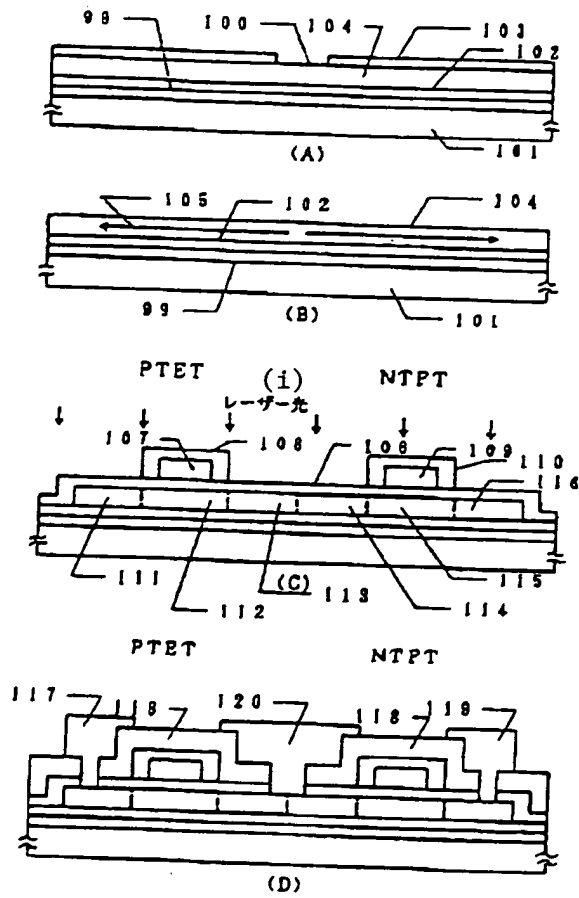
Figure 1

Key: i) Laser beam

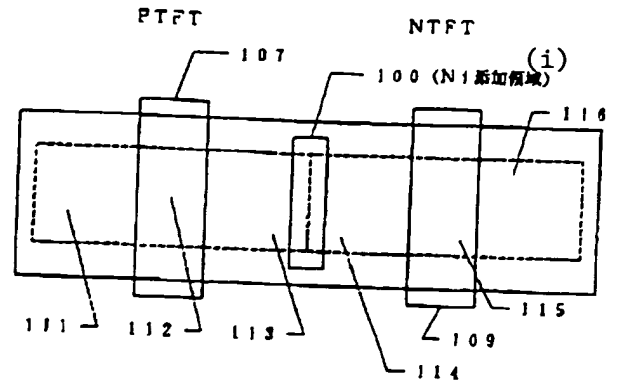
Figure 2

Key: i) Ni added area

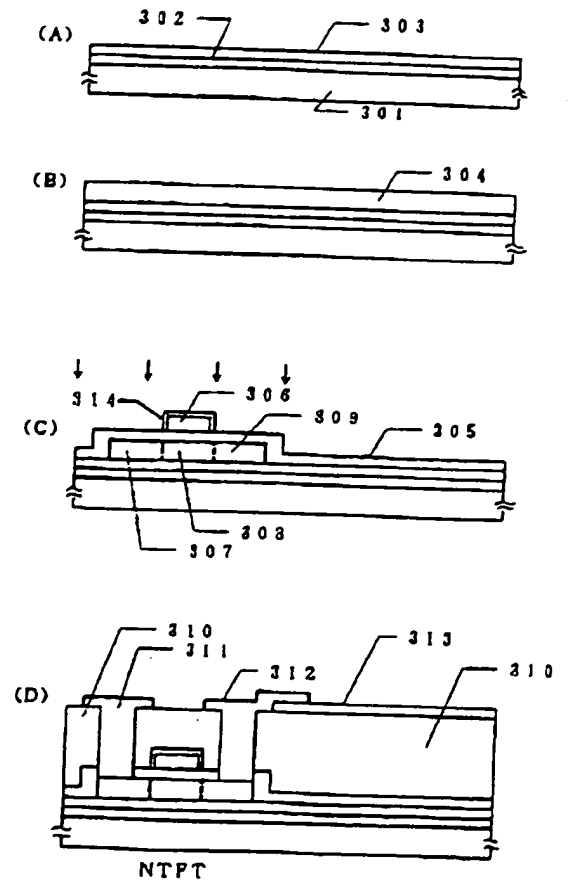
【図1】 [Figure 1]



【図2】 [Figure 2]



[Figure 3] 【図3】



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-333824

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl. ¹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20		8122-4M		
21/322	R	8617-4M		
21/324	Z	8617-4M		
21/336				
		9056-4M	H 0 1 L 29/ 78	3 1 1 Y
審査請求 未請求 請求項の数 3 F D (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平5-142880

(22) 出願日 平成5年(1993)5月21日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 寺本 聡

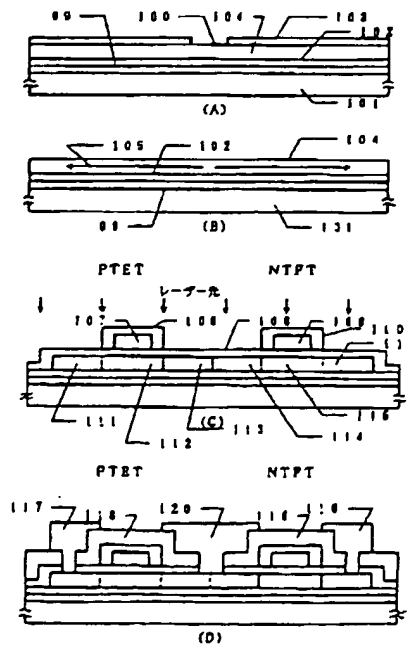
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(51) 【要約】

【目的】 結晶シリコン膜中の金属元素の影響を低減する。

【構成】 基板101上にPSG膜99を設け、さらに絶縁膜102を設け、さらにアモルファスシリコン膜104を設け、さらに100の領域に金属元素を導入し、この金属元素を触媒材料として、600℃以下の温度でシリコン膜104を結晶化させる。この際、PSG膜99の作用で、金属元素をゲッターリングし、その影響を低減する。



(2)

特開平6-333824

2

【特許請求の範囲】

【請求項1】 基板上に設けられたPSG膜と、
該PSG膜上に設けられた絶縁膜と、
該絶縁膜上に設けられた結晶シリコン膜と、
を有した半導体装置であって、
前記結晶シリコン膜中には、該結晶シリコン膜の結晶化
を助長するための金属元素が含まれていることを特徴と
する半導体装置。

【請求項2】 請求項1において、金属元素は、ニッケル、コバルト、鉄、白金のうち、少なくとも一つである
ことを特徴とする半導体装置。

【請求項3】 基板上にPSG膜を形成する工程と、
前記PSG膜上に下地膜として絶縁膜を形成する工程
と、
前記下地膜上に実質的なアモルファス状態のシリコン膜
を形成する工程と、
前記シリコン膜にニッケル、鉄、コバルト、白金のう
ち、少なくとも一つを導入する工程と、
前記シリコン膜を通常のアモルファスシリコン膜の結晶
化温度以下の温度でアニールし、前記ニッケル、鉄、コ
バルト、白金のうち、少なくとも一つが導入された領域
の前記シリコン膜を結晶化させる工程と、
を有する半導体装置作製方法。

【発明の詳細な説明】

【0001】

【産業上利用分野】本発明は、アモルファスシリコン
膜を加熱アニールによって結晶化させた結晶シリコン膜
を半導体装置に利用することに関する。

【0002】

【従来の技術】従来より、ガラス基板上に多数のTFT
(薄膜トランジスタ、一般には薄膜シリコン半導体を用
いた絶縁ゲート型電界効果半導体装置が用いられる)を
マトリックス状に設け、やはりマトリックス状に設けら
れた画素を駆動するアクティブマトリックス型液晶表示
装置が知られている。このアクティブマトリックス型液
晶表示装置の画素の駆動に用いられるTFTとしては、ア
モルファスシリコンを用いたものが一般的であるが、さ
らなる性能の向上を計るためには、結晶性を有するシリ
コン(以下結晶シリコンという)を用いることが有効であ
る。

【0003】結晶シリコンを形成する方法としては、気
相法やスパッタ法で形成したアモルファスシリコンにレ
ーザ光のエネルギーを与えて結晶化させる方法、さら
には気相法やスパッタ法で形成したアモルファスシリ
コンを加熱アニールし、結晶化させる方法が知られてい
る。しかしながら、レーザ光を用いる方法は、レーザ
光の照射面積が小さく、また再現性の問題等から実用
性が低い。また加熱アニールによる方法は、加熱温度が
600℃以上必要であり、基板としてガラス基板(一般
にコーニング7059ガラスが用いられる)を用いる場

合には、600℃の温度では温度がやや高く(コーニン
グ7059ガラスの歪点は593℃)、大面積基板を用
いる場合には問題があった。またこの場合、600℃の
温度で24時間程度加熱アニールする必要があり、生産
性の観点からも問題があった。

【0004】一方、アモルファスシリコン膜に微量の
ニッケル元素を導入し、しかる後に加熱アニールを行う
と、550℃、4時間程度の加熱アニールによって結晶
化することが実験的に確かめられている。しかしなが
ら、このニッケルを触媒材料として、熱アニールによる
結晶化を助長する方法は、結晶シリコン中に金属元素で
あるニッケルが残留してしまい、この結晶シリコンを用
いて半導体装置(例えばTFT)を作製した際に、その
性能や信頼性に低下をきたすことが懸念される。

【0005】

【発明が解決しようとする課題】そこで、本発明は、5
50℃程度(実験では450℃程度でも結晶化が見られ
た)の温度でのアニールで結晶性シリコン膜がガラス基
板上に形成できる方法において、結晶シリコン膜中に残
存する結晶化のための触媒材料である金属元素の影響を
低減させる構成、さらにはその方法を提供することを目
的とする。

【0006】

【課題を解決するための手段】〔第1の発明〕第1の発
明は、請求項1に記載されているように、基板上に設け
られたPSG膜と、該PSG膜上に設けられた絶縁膜
と、該絶縁膜上に設けられた結晶シリコン膜と、を有し
た半導体装置であって、前記結晶シリコン膜中には、該
結晶シリコン膜の結晶化を助長するための金属元素が含
まれていること、を要旨とする半導体装置である。

【0007】上記第1の発明は、基板上に設けられたP
SG膜によって、結晶化を助長するために導入した触媒
材料である結晶シリコン膜中の金属元素(例えばニッケ
ル)をゲッタリングさせんとするものである。上記発明
において、PSG膜というのは、リンシリサイドガラス
(Phosphosilicate Glass)のことであり、公知のように
塗布や気相法によって形成することができる。

【0008】シリコン膜の結晶化を助長するための触媒
材料である金属元素としては、ニッケル、鉄、コバル
ト、白金の内、少なくとも一つの元素を用いることがで
きる。

【0009】〔第3の発明〕第3の発明は、請求項3に
記載されているように、基板上にPSG膜を形成する工
程と、前記PSG膜上に下地膜として絶縁膜を形成する
工程と、前記下地膜上に実質的なアモルファス状態のシ
リコン膜を形成する工程と、前記シリコン膜にニッケ
ル、鉄、コバルト、白金のうち、少なくとも一つを導入
する工程と、前記シリコン膜を通常のアモルファスシリ
コン膜の結晶化温度以下の温度でアニールし、前記ニッ
ケル、鉄、コバルト、白金のうち、少なくとも一つが導

(3)

特開平6-333824

3

入された領域の前記シリコン膜を結晶化させる工程と、を有する半導体装置作製方法を要旨とするものである。

【0010】上記第3の発明は、第1の発明を得るための作製工程を示すものである。上記第3の発明において、実質的なアモルファス状態の膜の作製方法としては、公知のプラズマCVD法や減圧熱CVD法、さらには光CVD法やスパッタ法を挙げることができる。この実質的なアモルファス状態の膜というのは、通常アモルファスシリコン太陽電池やアモルファスシリコンTFTに用いられるアモルファスシリコン半導体膜のことである。

【0011】通常のアモルファスシリコン膜の結晶化温度というのは、前述したように600℃以上の温度のことをいう。即ち、本発明においては、600℃以下の温度で結晶化ができることを特徴とするものである。本発明における結晶化の工程は、550℃の温度であれば4時間程度で十分であることが確認されており、また450℃程度の温度でも可能であることが確認されている。従って、本発明における結晶化のためのアニール温度は、450℃～550℃の温度（勿論基板の耐熱性等の問題が許せばそれ以上の温度でもよい）であると定めることができる。

【0012】

【作用】PSG膜が存在することによって、シリコン膜を結晶化させる際に触媒として作用させたニッケル等の金属元素をゲッタリングすることができ、この結晶化したシリコン膜を利用した半導体装置の電気的特性や安定性を向上させることができる。

【0013】

【実施例】【実施例1】本実施例は、ガラス基板上に結晶シリコンを用いたPチャネル型TFT（PTFTという）とNチャネル型TFT（NTFTという）とを相補型に組み合わせた回路を形成する例である。本実施例の構成は、アクティブ型の液晶表示装置の周辺ドライバ回路や画素部分のスイッチング素子（相補型回路によって画素の駆動を行う）に利用することができる。

【0014】図1に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）101上にスピコート法によって1000Åの厚さにPSG膜99を形成する。そして200℃のベーク工程を経て成膜を完了する。PSG膜の材料としては、市販の酸化珪素膜系被膜の形成用塗布液を用い、Pの濃度が $5 \times 10^{-14} \sim 5 \times 10^{-11} \text{ cm}^{-3}$ となるようにした。またその厚さは、200～2000Åの厚さの範囲で設定すればよい。

【0015】次に、スパッタリング法によって厚さ100～2000Åここでは500Å厚さに酸化珪素の下地膜102を形成した。この下地膜中には珪素を添加することがゲッタリング効果を高める上で効果がある。つぎに、プラズマCVD法によって、厚さ500～1500Å、例えば1000Åの真性（I型）のアモルファスシ

4

リコン膜104を堆積した。そしてメタルマスクまたは酸化珪素膜等によって構成されたマスク103を設ける。このマスク103は、スリット状にシリコン膜104を露呈させる。即ち、図1（A）の状態を上面から見ると、スリット状にシリコン膜104は露呈しており、他の部分はマスクされている状態となっている。

【0016】上記マスク103を設けた後、スパッタリング法によって、厚さ5～200Å、例えば20Åの珪化ニッケル膜（化学式 NiSi_x 、 $0.4 \leq x \leq 2$ 、例えば、 $x=2.0$ ）を成膜する。この工程によって、シリコン膜104上の領域100の部分に選択的に珪化ニッケル膜が導入されることになる。

【0017】次にマスク103除去し、これを水素還元雰囲気下（好ましくは、水素の分圧が0.1～1気圧）、550℃で4時間アニールして結晶化させた。この際、珪化ニッケル膜が選択的に成膜された100の領域においては、基板101に対して垂直方向にシリコン膜104の結晶化が起こる。そして、領域100以外の領域では、矢印105で示すように、領域100から横方向（基板と平行な方向）に結晶成長が行われる。

【0018】上記工程の結果、アモルファスシリコン膜を結晶化させて、結晶シリコン膜104を得ることができた。その後、結晶シリコン膜104をパターンニングすることで素子間分離を行った。つぎに、スパッタリング法によって厚さ1000Åの酸化珪素膜106をゲイト絶縁膜として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200～400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素=0～0.5、例えば0.1以下とした。引き続いて、スパッタリング法によって、厚さ6000～8000Å、例えば6000Åのアルミニウム（0.1～2%のシリコンを含む）を堆積した。なお、この酸化珪素膜106とアルミニウム膜の成膜工程は連続的に行うことが望ましい。

【0019】そして、シリコン膜をパターンニングして、ゲイト電極107、109を形成した。さらに、このアルミニウムの電極の表面を陽極酸化して、表面に酸化物層108、110を形成した。この陽極酸化は、酒石酸が1～5%含まれたエチレングリコール溶液中で行った。得られた酸化物層108、110の厚さは2000Åであった。なお、この酸化物108と110とは、後のイオンドーピング工程において、オフセットゲイト領域を形成する厚さとなるので、オフセットゲイト領域の長さを上記陽極酸化工程で決めることができる。

【0020】次に、イオンドーピング法によって、シリコン領域にゲイト電極107とその周囲の酸化層108、ゲイト電極109とその周囲の酸化層110をマスクとして不純物（燐およびホウ素）を注入した。ドーピングガスとして、フォスフィン（ PH_3 ）およびジボラン（ B_2H_6 ）を用い、前者の場合は、加速電圧を60

(4)

特開平6-333824

5

～90 kV、例えば80 kV、後者の場合は、40～80 kV、例えば65 kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を $5 \times 10^{15} \text{ cm}^{-2}$ とした。ドーピングに際しては、一方の領域をフォトリソで覆うことによって、それぞれの元素を必要とする場所に選択的にドーピングした。この結果、N型の不純物領域114と116、P型の不純物領域111と113が形成され、Pチャネル型TFT (PTFT) の領域とNチャネル型TFT (NTFT) との領域を形成することができた。

【0021】その後、レーザー光の照射によってアニールを行った。レーザー光としては、KrFエキシマレーザー（波長248 nm、パルス幅20 nsec）を用いたが、他のレーザーであってもよい。レーザー光の照射条件は、エネルギー密度が $200 \sim 400 \text{ mJ/cm}^2$ 、例えば 250 mJ/cm^2 とし、一か所につき2～10ショット、例えば2ショット照射した。このレーザー光の照射時に基板を $200 \sim 450^\circ\text{C}$ 程度に加熱することは有用である。このレーザーアニール工程において、先に結晶化された領域にはニッケルが拡散しているので、このレーザー光の照射によって、再結晶化が容易に進行し、P型を付与する不純物がドーピングされた不純物領域111と113、さらにはNを付与する不純物がドーピングされた不純物領域114と116は、容易に活性化させることができた。

【0022】続いて、厚さ6000 Åの酸化珪素膜118を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTの電極・配線117、120、119を形成した。最後に、1気圧の水素雰囲気下で 350°C 、30分のアニールをおこなった。以上の工程によって半導体回路が完成した。（図1（D））この回路は、ゲート電極が入力となり、電極120が出力となる相補型の構成となる。

【0023】上記に示す回路は、PTFTとNTFTとを相補型に設けたCMOS構造であるが、上記工程において、2つのTFTを同時に作り、中央で切断することにより、独立したTFTを2つ同時に作製することも可能である。

【0024】図2に、図1（D）を上面から見た概要を示す。図2におけるNi添加領域が図1（A）で示される領域100の部分になる。またゲート電極はそれぞれ107と109に対応し、ソース/ドレイン領域は111と116、ドレイン/ソース領域は113と114に対応する。また図2においてゲート電極下には、ゲート絶縁膜とチャネル形成領域が設けられている。図2を見れば分かるように、Ni添加領域をさらに長くする（図2でいうと、上下に延ばす）ことによって、複数のTFTを同時に形成することができる。

【0025】本実施例においては、ニッケルを導入する

6

方法として、アモルファスシリコン膜104上に選択的にニッケルを薄膜（極めて薄いので、膜として観察することは困難である）として形成し、この部分から結晶成長を行なう方法を採用したが、アモルファスシリコン膜104を形成前に、選択的に珪化ニッケル膜を成膜する方法でもよい。即ち、結晶成長はアモルファスシリコン膜の上面から行ってもよいし、下面から行ってもよい。また、予めアモルファスシリコンを成膜し、さらにイオンドーピング法を用いて、ニッケルイオンをアモルファスシリコン膜104に選択的に注入する方法を採用してもよい。この場合は、ニッケル元素の濃度を制御することができるという特徴を有する。

【0026】なお本実施例において、結晶シリコン中のニッケル濃度をSIMS（二次イオン質量分析法）によって調べたところ、 $10^{11} \sim 10^{14} \text{ cm}^{-3}$ であった。

【0027】〔実施例2〕本実施例は、アクティブ型の液晶表示装置において、Nチャネル型TFTをスイッチング素子として各画素に設けた例である。以下においては、一つの画素について説明するが、他に多数（一般には数十万）の画素が同様な構造で形成される。

【0028】本実施例の作製工程の概略を図3に示す。本実施例において、透光性の絶縁基板301として、コーニング7059ガラス基板（厚さ1.1 mm、 $300 \times 400 \text{ mm}$ ）を使用した。このガラス基板上に実施例1と同様に、PSG膜302を $200 \sim 2000 \text{ Å}$ ここでは 1000 Å の厚さにスピンコート法で塗布し、 200°C 、30分のベーク工程で成膜を行った。次に下地膜303（酸化珪素）を 500 Å の厚さにスパッタ法で形成する。

【0029】その後、LPCVD法もしくはプラズマCVD法でアモルファスシリコン膜304（厚さ $300 \sim 1500 \text{ Å}$ 、ここでは 1000 Å ）を形成し、この後珪化ニッケル膜を成膜した。この珪化ニッケル膜は、スパッタリング法によって、厚さ $5 \sim 200 \text{ Å}$ 、例えば 20 Å の厚さに形成する。この珪化ニッケル膜は、化学式 NiSi_x 、 $0.4 \leq x \leq 2.5$ 、例えば、 $x = 2.0$ で示される。即ち、本実施例の構成においては、図3

（B）に示されるようにアモルファスシリコン膜304を成膜後に、その上面にニッケルを珪化ニッケル膜として導入した。

【0030】その後、 400°C で1時間脱水素化を行い、加熱アニールによって結晶化を行った。このアニール工程は、水素還元雰囲気下（好ましくは、水素の分圧が $0.1 \sim 1$ 気圧）、 550°C で4時間行った。この際、アモルファスシリコン膜304上には、珪化ニッケル膜が成膜されているので、珪化ニッケル膜から結晶化が基板301に垂直方向に起こる。そして、基板301に垂直方向に結晶成長した結晶シリコン膜を得ることができる。

【0031】そして、この結晶性シリコンよりなる半導

(5)

特開平6-333824

7

体領域(304で示される部分)をパターニング(素子間分離)して島状の半導体領域(TFTの活性層)を形成した。さらにテトラ・エトキシ・シラン(TEOS)を原料として、酸素雰囲気中のプラズマCVD法によって、酸化珪素のゲート絶縁膜(厚さ700~1200Å、典型的には1000Å)305を形成した。基板温度はガラスの縮みやソリを防止するために400℃以下、好ましくは200~350℃とした。しかしながら、この程度の基板温度では、酸化膜中には多量の炭化水素基が含まれ、多くの再結合中心が存在し、例えば、

【0032】そこで、KrFレーザー光を照射して、この結晶性シリコン膜304の結晶性を助長せしめると同時に、ゲート酸化膜305の再結合中心(トラップセンター)を減少させ、ゲート酸化膜305の特性の改善を図った。また、このレーザー照射は10 Torr以下の減圧下で行われるのが好ましい。なぜならば、減圧状態の方が酸化膜中の炭素原子の離脱が容易であるからである。このときにはレーザー光のエネルギー密度は250~300 mJ/cm²と設定し、また、ショット数も10回とした。この際基板温度を好ましくは、200~400℃、代表的には300℃に保つと良い。その結果、シリコン膜204は結晶性が改善され、また、ゲート酸化膜の界面単位密度も10¹¹ cm⁻²以下に減少した。

【0033】次に、アルミニウムのゲート電極306を形成し、基板ごと電解溶液に浸漬して、これを陽極として通電し、ゲート電極等のアルミニウム配線表面に陽極酸化物の層314を厚さ2000Å形成した。この工程の完了した様子を図3(C)に示す。また、陽極酸化工程が終了した後に、逆に負の電圧、例えば-100~-200Vの電圧を0.1~5時間印加してもよい。このときには、基板温度は100~250℃、代表的には150℃とすることが好ましい。この工程によって、酸化珪素中あるいは酸化珪素とシリコン界面にあった可動イオンがゲート電極(A1)に引き寄せられる。

【0034】その後、N型の不純物として、硼素をイオンドーピング法でシリコン膜305に自己整合的に注入し、TFTのソース/ドレイン308、309を形成した。さらに、図2(C)に示すように、これにKrFレーザー光を照射して、このイオンドーピングのために結晶性の劣化したシリコン膜の結晶性を改善せしめた。このときにはレーザー光のエネルギー密度は250~300 mJ/cm²と設定した。このレーザー照射によって、このTFTのソース/ドレインのシート抵抗は300~800Ω/cm²となった。

【0035】その後、ポリイミドによって層間絶縁物310を形成し、さらに、画素電極313をITOによって形成した。そして、コンタクトホールを形成して、TFTのソース/ドレイン領域にクロム/アルミニウム多

8

層膜で電極311、312を形成し、このうち一方の電極312は画素電極であるITO31にも接続するようにした。クロム/アルミニウム多層膜は、下層にクロム膜20~2000Åここでは1000Å、上層にアルミニウム膜1000~20000Åここでは5000Åが堆積されてできている。これらは連続的にスパッタ法にて形成することが望まれる。最後に、水中で200~300℃で2時間アニールして、シリコンの水素化を完了した。このようにして、TFTが完成した。そして、同時に作製した多数のTFTをマトリクス状に配列せしめてアクティブマトリクス型液晶表示装置の表示部分の一方の基板を完成させた。本実施例においても、結晶シリコン膜中のニッケル濃度は、10¹⁷~10¹⁸ cm⁻³であった。

【0036】以上の実施例1および実施例2の構成を採用することで、結晶シリコン中に存在するニッケル元素を電気的に固定化(ゲッタリング)させることができ、装置の動作時において、ニッケル元素が悪影響を及ぼすことを防ぐことができる。

【0037】また、以上の本実施例においては、ゲッタリングを行う材料としてPSG膜(リンシリケートガラス)を用いたが、この他にBSG膜(ボロンシリケートガラス)やBPSG膜を用いることができる。さらに、これらの膜中にハロゲン元素(例えば塩素)を添加し、ゲッタリング効果を高めてもよい。また、これらの膜の成膜方法としては、平坦性を確保するためにスピンコート法を用いたが、気相法で作製する方法を採用したもよい。

【0038】

【効果】基板上にPSG膜を形成し、しかる後に下地酸化珪素膜を形成し、さらにニッケルによって低温結晶化(従来よりも低温での結晶化という意味)させた結晶シリコンを形成する構成とすることによって、この結晶シリコンを用いた半導体装置の電気的特性が、ニッケルの存在によって悪影響を受けることを防ぐことができた。

【図面の簡単な説明】

【図1】 実施例の作製工程を示す。

【図2】 実施例の構成を示す。

【図3】 実施例の作製工程を示す。

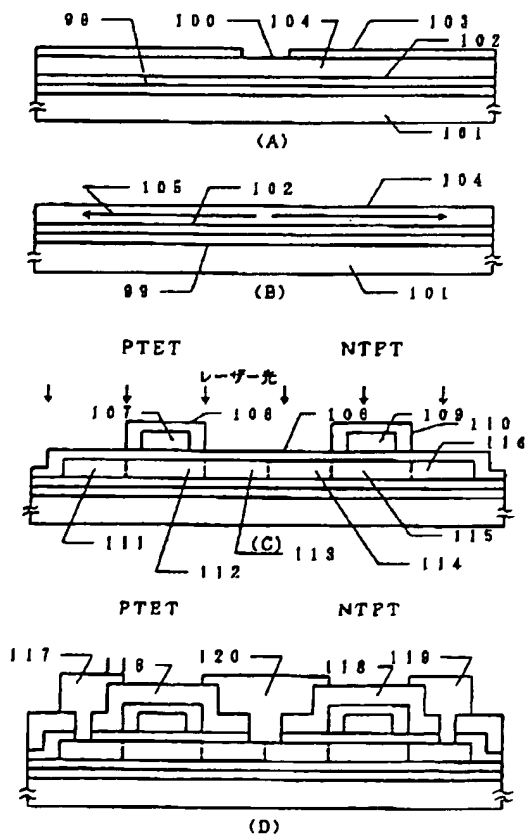
【符号の説明】

99	PSG膜
101	ガラス基板
102	PSG膜
103	マスク
104	シリコン膜
105	結晶成長方向
106	ゲート絶縁膜
107	ゲート電極
108	陽極酸化層
109	ゲート電極

9

110 陽極酸化物層
 111 ソース/ドレイン領域
 112 チャネル形成領域
 113 ドレイン/ソース領域
 114 ソース/ドレイン領域
 115 チャネル形成領域
 116 ドレイン/ソース領域
 117 電極
 118 層間絶縁物
 120 電極
 119 電極
 301 ガラス電極 glass
 302 PSG膜

【図1】



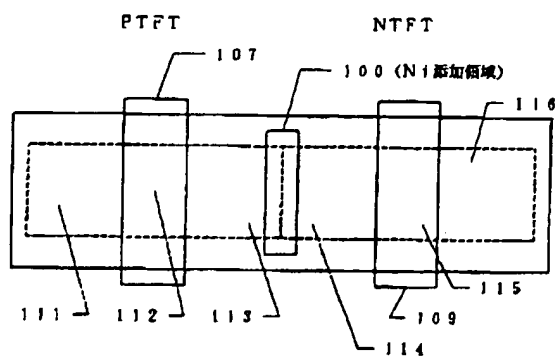
(6)

特開平6-33382

10

303 下地膜 (酸化珪素膜) SiO₂ film
 304 シリコン膜 Si
 305 ゲイト絶縁膜 gate
 306 ゲイト電極
 307 ソース/ドレイン領域
 308 チャネル形成領域
 309 ドレイン/ソース領域
 310 層間絶縁物
 311 電極
 10 312 電極
 313 ITO (画素電極)
 314 陽極酸化物層

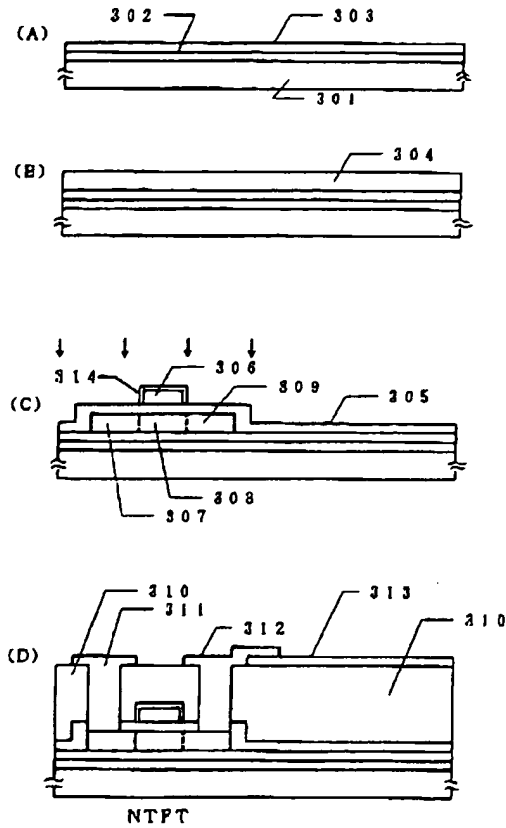
【図2】



(7)

特開平6-333824

【図3】



フロントページの続き

(51) Int. Cl. 6

H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所